

CLIPPEDIMAGE= JP409232938A  
PAT-NO: JP409232938A  
DOCUMENT-IDENTIFIER: JP 09232938 A  
TITLE: LEVEL SHIFT CIRCUIT

PUBN-DATE: September 5, 1997

INVENTOR-INFORMATION:

NAME

NUMAGUCHI, YOSHITOMO

ASSIGNEE-INFORMATION:

NAME

NEC IC MICROCOMPUT SYST LTD

COUNTRY

N/A

APPL-NO: JP08041388

APPL-DATE: February 28, 1996

INT-CL\_(IPC): H03K019/0185

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent an output from being turned into inhibited state such as HiZ state or intermediate voltage just after the power source turned on or at the time of low frequency operation without increasing current consumption when performing the level change of signal voltage between low voltage and high voltage power supply system circuits.

SOLUTION: The gate of an output PMOST 2 connected through a capacitor C to an input node (a) is connected through voltage step down circuits 1 and 2 and MOS T4 and T3 to both a ground VSS and a high voltage power source VDD 2. Further, the gates of these MOS T4 and T3 are controlled by an input voltage VI and an output voltage VO and corresponding to the level of the potential VI at the input node (a), one of voltage drop circuits 1 and 2 is actuated so that the proper output voltage VO can be provided.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232938

(43) 公開日 平成9年(1997)9月5日

(51) Int. Cl.<sup>6</sup>

H 0 3 K 19/0185

識別記号

庁内整理番号

F I

H 0 3 K 19/00

技術表示箇所

1 0 1 D

審査請求 有 請求項の数15 OL (全 8 頁)

(21) 出願番号 特願平8-41388

(22) 出願日 平成8年(1996)2月28日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 沼口 喜伴

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

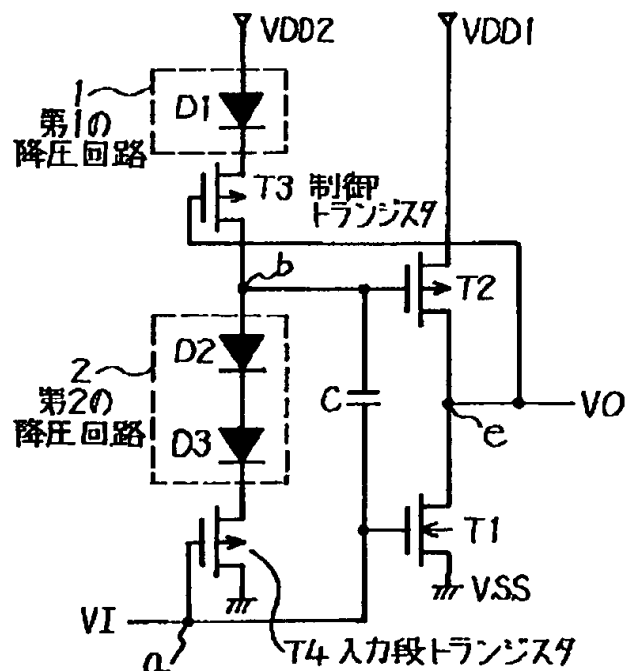
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【課題】 低電圧及び高電圧電源系回路間で信号電圧のレベル変換を行うにあたり、消費電流を増やすことなく、電源投入直後あるいは低周波動作時の出力がH i Z状態や中間電圧などの禁止されている状態になるのを防ぐことにある。

【解決手段】 入力ノードaにコンデンサCを介して接続される出力PMOST2のゲートを、接地VSSおよび高電圧電源VDD2の双方に降圧回路1、2およびMOST4、T3を介して接続する。しかも、これらMOST4、T3のゲートを入力電圧VIおよび出力電圧VOで制御し、入力ノードaの電位VIのレベルによって降圧回路1、2のどちらか一方を活性化することにより、正しい出力電圧VOを得る。



## 【特許請求の範囲】

【請求項1】 接地および第1の電源間に直列接続し且つ一方のゲートに入力電圧を供給するとともに、その接続点より出力電圧を取り出す一導電型および逆導電型のMOSTランジスタ対と、前記MOSTランジスタ対のゲート間に接続するコンデンサと、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび第2の電源間に直列接続した制御用MOSTランジスタおよび第1の降圧回路と、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび接地間に直列接続した第2の降圧回路および入力段MOSTランジスタとを有し、前記入力段MOSTランジスタのゲートに前記入力電圧を供給する一方、前記制御用MOSTランジスタのゲートに前記出力電圧を供給し、電源投入時の前記入力電圧によって前記第1、第2の降圧回路のいずれか一方を活性化することを特徴とするレベルシフト回路。

【請求項2】 前記第1、第2の降圧回路は、それぞれ1つもしくは複数個のダイオードを直列接続して形成した請求項1記載のレベルシフト回路。

【請求項3】 前記第1、第2の降圧回路は、それぞれ1つもしくは複数個のMOSTランジスタを直列接続し且つゲートとドレインあるいはソースを短絡接続した請求項1記載のレベルシフト回路。

【請求項4】 前記第1の降圧回路は、ダイオードを1つあるいは複数個直列接続し、前記第2の降圧回路は、複数個のMOSTランジスタを直列接続し且つそれぞれのゲートとドレインもしくはソースを短絡接続した請求項1記載のレベルシフト回路。

【請求項5】 前記制御用MOSTランジスタおよび前記入力段MOSTランジスタは、同じ導電型のMOSTランジスタで形成した請求項1記載のレベルシフト回路。

【請求項6】 前記第2の電源を前記第1の電源で置き換えた請求項1記載のレベルシフト回路。

【請求項7】 前記コンデンサは、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲート容量よりも大きくした請求項1記載のレベルシフト回路。

【請求項8】 前記制御用MOSTランジスタおよび第1の降圧回路は、接続順序を逆にし、前記第2の電源側に前記制御用MOSTランジスタを接続し、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲート側に前記第1の降圧回路を接続した請求項1記載のレベルシフト回路。

【請求項9】 接地および第1の電源間に直列接続し且つ一方のゲートに入力電圧を供給するとともに、その接続点より出力電圧を取り出す一導電型および逆導電型のMOSTランジスタ対と、前記MOSTランジスタ対のゲート間に接続するコンデンサと、前記MOSTランジ

スタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび第2の電源間に接続した制御用MOSTランジスタと、前記出力電圧を反転して供給するために前記MOSTランジスタ対の接続点および前記制御用MOSTランジスタのゲート間に接続したインバータと、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび接地間に直列接続した降圧回路および入力段MOSTランジスタとを有し、前記入力段MOSTランジスタのゲートに前記入力電圧を供給し、電源投入時の前記入力電圧によって前記降圧回路および前記制御用MOSTランジスタのいずれか一方を活性化することを特徴とするレベルシフト回路。

【請求項10】 前記降圧回路は、1つもしくは複数個のダイオードを直列接続して形成した請求項9記載のレベルシフト回路。

【請求項11】 前記降圧回路は、1つもしくは複数個のMOSTランジスタを直列接続し且つゲートとドレインあるいはソースを短絡接続した請求項9記載のレベルシフト回路。

【請求項12】 前記制御用MOSTランジスタおよび前記入力段MOSTランジスタは、互いに逆の導電型のMOSTランジスタで形成した請求項9記載のレベルシフト回路。

【請求項13】 前記第2の電源を前記第1の電源で置き換えた請求項9記載のレベルシフト回路。

【請求項14】 前記コンデンサは、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲート容量よりも大きくした請求項9記載のレベルシフト回路。

【請求項15】 前記制御用MOSTランジスタは、NチャネルMOSTランジスタを用い且つ前記入力段MOSTランジスタは、PチャネルMOSTランジスタを用い、前記制御用MOSTランジスタに降圧機能を持たせた請求項9記載のレベルシフト回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はCMOS回路などのレベルシフト回路に関し、特にCMOS回路の低電圧電源回路と高電圧電源回路間で信号電圧の変換を行うレベルシフト回路に関する。

## 【0002】

【従来の技術】従来、この種のレベルシフト回路は、例えば特開昭60-51322号公報にもあるように、一般に知られている。

【0003】図4はかかる従来の一例を示すレベルシフト回路図である。図4に示すように、このレベルシフト回路は、低電圧電源（接地）VSSと第1の高電圧電源VDD1間に直列に接続してなるNチャネルMOSTランジスタT1（以下、NMOST1と称す）およびPチャネルMOSTランジスタT2（以下、PMOST2と

称す)と、これらのMOST1、T2のゲート(ノードa、b)間に接続したコンデンサCと、第1の高電圧電源VDD1とは異なる第2の高電圧電源VDD2およびPMOST2のゲート間に接続したダイオードD1からなる降圧回路1と、PMOST2のゲートおよびVDD1間に接続したダイオードD4とを備え、入力電圧VIをNMOST1のゲート(ノードa)に供給し、出力電圧VOをMOST1、T2の接続点(ノードe)から取り出すことにより、低電圧駆動回路(図示省略)と高電圧駆動回路(図示省略)間の電圧レベル調整を行うものである。ここで、コンデンサCの容量は、PMOST2のゲート容量よりも大きい容量を有する。

【0004】また、降圧回路1としてのダイオードD1は、ゲート、ドレインを短絡したNMOSTランジスタで置換するか、もしくはかかるNMOSTランジスタを複数個直列接続しても同様である。その際は、ゲート、ドレインを短絡接続した側を第2の高電圧電源VDD2に、ソース側をPMOST2のゲートに接続することにより実現することができる。

【0005】図5(a)、(b)はそれぞれ図4における回路動作を説明するための入力状態による入力電圧およびゲート電圧特性図である。図5(a)に示すように、 $V_{tp}$ はPMOST2のしきい値電圧、 $V_f$ はダイオードD1、D4の順方向電圧、 $V_B$ はノードbの電圧を表わし、 $[VDD1 - |V_{tp}|]$ はPMOST2のオン/オフ電圧、 $[VDD2 - V_f]$ はノードbの取りうる最低の電圧を表わす。電源投入後、入力電圧VIが一度変化するまでの期間においては、NMOST1、PMOST2が共にオフとなっている場合がある。このとき、出力電圧VOは、ノードeの状態が通常禁止されているHiZ(ハイインピーダンス)出力状態となる。ついで、この期間を過ぎて入力電圧VIが立上ると、ノードbのゲート電圧VBも立上がり、その状態で出力電圧VOを含む各点の電圧も安定する。

【0006】また、図5(b)に示すように、電源投入後、入力電圧VIに高電圧が供給され且つその電圧が一度変化するまでの期間においては、NMOST1、PMOST2が共にオンとなっている場合がある。このとき、出力電圧VOは、VDD1とVSSの中間電圧(X)を出力することになる。しかる後、入力電圧VIが下がり、ノードbの電圧VBとの間に所定差ができると、各ノードの電圧も安定する。

【0007】しかしながら、いずれの入力状態にしても、両期間の状態では、入力電圧VIが変化するまで、PMOST2のゲート電圧VBを変えることはできない。

【0008】図6は従来の他の例を示すレベルシフト回路図である。図6に示すように、降圧回路としてのダイオードとして、ゲート、ドレインを短絡したPMOST6、T7を直列接続したものであり、T7のソース側を

VDD2に、T6のゲート、ドレイン側をPMOST2のゲートにそれぞれ接続している。要するに、PMOST6のドレインに寄生ダイオードがあるため、PMOST2のゲート・ドレイン間のダイオードD4が不用になる。なお、この回路動作は、前述した図4の回路と同様の動作を行う。

【0009】

【発明が解決しようとする課題】上述した従来のレベルシフト回路は、出力トランジスタとしてのPMOST2のゲートが入力ノードaにコンデンサCを介して接続されるとともに、高電圧電源VDD1、VDD2にダイオードあるいはゲート、ドレインを短絡したMOSTランジスタを介して接続されるため、PMOST2のゲートに多くの電荷が蓄えられて高電位になる。しかも、入力ノードaが低電位の状態で電源が投入された場合には、MOST1、T2が共にオフ(不活性の状態)で、出力電圧VOはHiZ状態となる。また、PMOST2のゲートに蓄えられる電荷が少なく低電位となり、さらに入力ノードaが高電位の状態で電源が投入された場合には、MOST1、T2が共にオン(活性化の状態)となって貫通電流が流れ、出力電圧VOは中間電圧出力となる。

【0010】このように、いずれの状態においても、出力トランジスタとしてのPMOST2のゲートと各電源のいずれかとの間に活性化された電流経路が存在せず、そのゲートは最初の電位を維持することになる。

【0011】したがって、かかる従来のレベルシフト回路は、電源投入後、入力ノードの電位が一度変化するまでは、通常禁止されているHiZ状態や中間電圧出力状態になる場合があるという欠点がある。

【0012】また、このレベルシフト回路は、ダイオードあるいはゲート、ドレインを短絡したMOSTランジスタを介して高電圧電源(VDD1、VDD2)に接続されるため、これら高電圧電源のいずれかにリーク電流がながれ且つ入力ノードが低電位のときには、PMOST2のゲート電位を低電位に保持できず、出力電圧VOがHiZ状態出力になってしまう。その結果、従来のレベルシフト回路では、低周波動作等の低電位レベル入力時に、正しい出力電圧VOを保持できない場合があるという欠点がある。

【0013】本発明の目的は、上述したような電源投入後、入力ノードの電圧が変化しなくても、正しい出力電圧を得られるようにするとともに、消費電流を増やさずに且つ低周波動作等の低電位レベル入力時においても正しい出力電圧を保持することのできるレベルシフト回路を提供することにある。

【0014】

【課題を解決するための手段】本発明のレベルシフト回路は、接地および第1の電源間に直列接続し且つ一方のゲートに入力電圧を供給するとともに、その接続点より

10

20

30

40

50

出力電圧を取り出す一導電型および逆導電型のMOSTランジスタ対と、前記MOSTランジスタ対のゲート間に接続するコンデンサと、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび第2の電源間に直列接続した制御用MOSTランジスタおよび第1の降圧回路と、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび接地間に直列接続した第2の降圧回路および入力段MOSTランジスタとを有し、前記入力段MOSTランジスタのゲートに前記入力電圧を供給する一方、前記制御用MOSTランジスタのゲートに前記出力電圧を供給し、電源投入時の前記入力電圧によって前記第1、第2の降圧回路のいずれか一方を活性化するように構成される。

【0015】また、本発明のレベルシフト回路は、接地および第1の電源間に直列接続し且つ一方のゲートに入力電圧を供給するとともに、その接続点より出力電圧を取り出す一導電型および逆導電型のMOSTランジスタ対と、前記MOSTランジスタ対のゲート間に接続するコンデンサと、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび第2の電源間に接続した制御用MOSTランジスタと、前記出力電圧を反転して供給するために前記MOSTランジスタ対の接続点および前記制御用MOSTランジスタのゲート間に接続したインバータと、前記MOSTランジスタ対のうち前記第1の電源側に接続するMOSTランジスタのゲートおよび接地間に直列接続した降圧回路および入力段MOSTランジスタとを有し、前記入力段MOSTランジスタのゲートに前記入力電圧を供給し、電源投入時の前記入力電圧によって前記降圧回路および前記制御用MOSTランジスタのい

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0017】図1は本発明の一実施の形態を示すレベルシフト回路図である。図1に示すように、本実施の形態のレベルシフト回路は、低電圧系回路（図示省略）の出力電圧を入力電圧VIとして供給され、レベル調整を行って出力電圧VOを得ることにより、高電圧系回路（図示省略）を駆動するものである。そのために、このレベルシフト回路では、低電圧電源VSSおよび第1の高電圧電源VDD1間に直列接続され且つその接続点（ノードe）より出力電圧VOを取り出すNMOST1およびPMOST2と、これらMOST1、T2のゲート（ノードa、b）間に接続されたコンデンサCと、アノード側を第2の高電圧電源VDD2に接続したダイオードD1などからなる第1の降圧回路1と、この降圧回路1を形成するダイオードD1などのカソードにソースを接続し且つPMOST2のゲートにドレインを接続するとともに、MOST1、T2の接続ノードeにゲートを接続

した制御用PMOSTランジスタT3と、アノード側をPMOST3のドレインに直列接続したダイオードD2、D3などからなる第2の降圧回路2と、この第2の降圧回路2を形成するダイオードD3のカソードおよび接地VSSにそれぞれソースおよびドレインを接続するとともに、入力電圧VIが供給される入力ノードaにゲートを接続した入力段MOSTランジスタT4とを有する。なお、前述した従来例同様、コンデンサCの容量は、PMOST2のゲート容量よりも充分大きくなるように設定される。

【0018】このため、本実施の形態におけるレベルシフト回路は、入力ノードaにコンデンサCを介して接続されたPMOST2のゲートと低電圧電源VSSおよび第2の高電圧電源VDD2との間を降圧回路1、2により接続することにより、入力電圧VIによって降圧回路1、2の一方を活性化するように制御するものである。すなわち、降圧回路1、2の一方を活性化することにより、PMOST2のゲートの電圧VBは入力電圧VIに応じた電位となり、出力電圧VOがHiZ状態あるいは貫通電流による中間電圧状態になるのを防止している。

【0019】図2(a)、(b)はそれぞれ図1における回路動作を説明するための入力状態による入力電圧およびゲート電圧特性図である。図2(a)、(b)に示すように、VIは入力電圧、VBはノードbの電圧、VOは出力電圧、VtpはPMOST2、T3、T4のしきい値電圧、VfはダイオードD1～D3の1個あたりの順方向電圧である。また、図示していないが、NMOST1のしきい値電圧をVtn、第1、第2の降圧回路1、2の降圧電圧をそれぞれVc1(=Vf)、Vc2(=2×Vf)、入力ノードaが高レベルのときの電圧をVccとする。また、PMOST2を安定動作させる関係から、次の条件式を満たすようにする。なお、この条件式における左辺はノードbの電圧VB、右辺はPMOST2のオン電圧を表わしている。

【0020】 $VDD2 - Vc1 > VDD1 - |Vtp|$   
 $Vc2 + |Vtp| < VDD1 - |Vtp|$   
 $Vc2 + Vcc + |Vtp| > VDD1 - |Vtp|$   
 まず、図2(a)に示すように、入力電圧VI=0V（すなわち、VSS）でノードbの初期電圧がVB>VDD1-|Vtp|であれば、NMOST1、PMOST2がともにオフで、出力電圧VOはVO=HiZとなる。しかし、ノードbの電圧VBは、入力段PMOST4がオンしているため、制御用PMOST3がオンであれば、第1の降圧回路1、制御用PMOST3、第2の降圧回路2、入力段PMOST4の経路により、すなわちVDD2とVSS間に流れる貫通電流によって生ずる分圧により低下し、また制御用PMOST3がオフであれば、第2の降圧回路2、入力段PMOST4の経路により、すなわちノードbとVSS間に流れる電流により低下し、VB≤VDD1-|Vtp|となる。このノ

ドbの電圧VBが $\leq VDD1 - |V_{tp}|$ に変化したことにより、PMOST2がオンし、出力電圧VOは $VO = VDD1$ となる。さらに、出力電圧 $VO = VDD1$ となることにより、制御用PMOST3は完全にオフとなり、ノードbの電圧VBは、 $VB = V_{c2} + |V_{tp}| < VDD1 - |V_{tp}|$ で安定する。

【0021】つぎに、図2(b)に示すように、入力電圧 $VI = V_{cc}$ 、ノードbの初期電圧が $VB \leq VDD1 - |V_{tp}|$ であれば、NMOST1, PMOST2がともにオンで、出力電圧VOはT1, T2を通してVD1, VSS間に流れる貫通電流から生ずる分圧により、 $VO < VDD1 - |V_{tp}|$ となり、制御用PMOST3はオンとなる。このため、ノードbの電圧VBは、第1の降圧回路1, 制御用PMOST3の経路により、すなわちVDD2からノードbに流れ込む電流により上昇し、 $VB \geq VDD2 - V_{c2} > VDD1 - |V_{tp}|$ となり、PMOST2がオフ、出力電圧 $VO = VSS$ となる。このとき、このとき、 $VB > V_{c2} + V_{cc} + |V_{tp}|$ であれば、第2の降圧回路2, 入力段PMOST4を通して電流が流れるので、ノードbの電位VBは低下するが、前述したように、第2の降圧回路2による降圧電圧 $V_{c2}$ の設計条件により、VBは $VDD1 - |V_{tp}|$ 以下に下がることはない。このため、PMOST2はオフで安定する。

【0022】また、入力電圧 $VI = 0V$ でノードbの初期電圧 $VB \leq VDD1 - |V_{tp}|$ の場合と入力電圧 $VI = V_{cc}$ でノードbの初期電圧 $VB > VDD1 - |V_{tp}|$ の場合については、それぞれ前述した場合における安定状態と同じであるため、説明を省略する。

【0023】要するに、入力電圧 $VI$ が0Vのときは入力段PMOST4がオン、制御用PMOST3オフとなるので、第2の降圧回路2が活性化し、第1の降圧回路1は不活性化される。また、入力電圧 $VI$ が $V_{cc}$ のときは入力段PMOST4がオフ、制御用PMOST3オンとなるので、第2の降圧回路2が不活性化され、第1の降圧回路1は活性化される。しかるに、接続ノードbの電位VBは、基準電源との電位差が活性化された降圧回路によって決まる値以下となる電位である。その電位は $VI$ が0Vで且つMOST1がオフのとき、MOST2がオンする $VDD1 - |V_{tp}|$ 以下となり、また $VI$ が $V_{cc}$ で且つMOST1がオンのとき、MOST2がオフする $VDD1 - |V_{tp}|$ 以上となる。

【0024】前述したように、ノードbの電圧VBが安定状態では、降圧回路1, 2は極めて高インピーダンス状態であり、また入力電圧 $VI$ が0Vから $V_{cc}$ へ変化する過渡状態、および $V_{cc}$ から0Vへ変化する過渡状態では、ノードbの電圧VBはコンデンサCによるカップリング効果によって動作初期の $VI$ , VB間電位差をほぼ維持した状態で変化する。変化後は、前述した動作により、安定状態に収束するか、または安定状態を維持

する。

【0025】なお、第1の降圧回路1の降圧電圧 $V_{c1}$ を $VDD1 - V_{c1} > VDD1 - |V_{tp}|$ となるように設計すれば、第2の高電圧電源VDD2を第1の高電圧電源VDD1と同じにしても同様の効果が得られる。

【0026】また、本実施の形態では、第2の高電圧電源VDD2およびノードb間に第1の降圧回路1と制御用MOST3を接続したが、これら第1の降圧回路1と制御用MOST3の接続位置を入れ換えても、すなわちVDD2側に制御用MOST3を接続し且つノードb側に第1の降圧回路1を接続しても、同様の結果が得られることは、言及するまでもない。

【0027】さらに、本実施の形態では、第1および第2の降圧回路1, 2がダイオードD1, D2, D3を用いた例を説明したが、これらのダイオードD1~D3はそれぞれNMOSあるいはPMOSを用い、ゲートとドレインあるいはソースを短絡して置き換えても、まったく同様の結果が得られる。なお、その際は、MOSTランジスタのしきい値電圧とダイオードの順方向電圧とを一致するように合わせるだけでよい。

【0028】またさらに、本実施の形態では、第1および第2の高電圧電源VDD1, VDD2に正電源を用いたが、負電源を用いることも同様に可能である。かかる負電源を用いる場合には、使用するMOSTランジスタの導電型を入れ換えることにより容易に達成することができる。

【0029】また、上述した実施の形態では、降圧回路1としてダイオード1個、降圧回路2としてダイオード2個接続しているが、その際使用されるダイオードの接続数は入力電圧 $VI$ と電源電圧VSS, VDD1, VDD2とMOSTランジスタのしきい値電圧又はダイオードの順方向電圧によって設計されるものである。このため、降圧回路1として使用されるダイオードなどの接続数 $n$ は、 $VDD2 - n \times V_f > VDD1 - |V_{tp}|$ 、降圧回路2として使用されるダイオードなどの接続数 $m$ は、 $V_{cc} + m \times V_f + |V_{tp}| > VDD1 - |V_{tp}|$ 、 $m \times V_f + |V_{tp}| < VDD1 - |V_{tp}|$ の条件を満たす $n, m$ であり、 $n \times V_f < |V_{tp}|$ であれば、第2の高電圧電源VDD2に替えて、第1の高電圧電源VDD1を用いても同様の結果が得られる。

【0030】図3は本発明の他の実施の形態を示すレベルシフト回路図である。図3に示すように、本実施の形態のレベルシフト回路も、低電圧系回路の出力電圧を入力電圧 $VI$ として供給され、レベル調整を行って出力電圧VOを得ることにより、高電圧系回路を駆動するものである。そのために、このレベルシフト回路では、低電圧電源VSSおよび第1の高電圧電源VDD1間に直列接続されたNMOST1およびPMOST2からなり、その接続点(ノードe)より出力電圧VOを取り出す出力段トランジスタ回路3と、これらMOST1, T2の

ゲート（ノードa、b）間に接続されたコンデンサCと、ドレインを第2の高電圧電源VDD2に接続し且つソースをMOST2のゲートに接続した制御用NMOSトランジスタT3と、ノードeおよびNMOST3のゲート間に接続し、出力電圧VOを反転して供給する反転増幅回路（インバータ）INVと、アノード側をNMOST3のソースに直列接続したダイオードD2、D3からなる降圧回路2と、この降圧回路2を形成するダイオードD3のカソードおよび接地VSSにそれぞれソースおよびドレインを接続するとともに、入力電圧VIが供給される入力ノード（a）にゲートを接続した入力段MOSTトランジスタT4とを有する。この場合も、前述した従来例同様、コンデンサCの容量は、PMOST2のゲート容量よりも充分大きくなるように設定される。

【0031】まず、図3の回路において、NMOSのしきい値電圧を $V_{tn}$ 、PMOSのしきい値電圧を $V_{tp}$ 、ダイオードD1、D2からなる降圧回路2の降圧電圧を $V_{c3}$ 、ノードbの電圧をVB、入力ノードaにおける入力電圧VIが高レベルのときの電圧を $V_{cc}$ 、出力ノードeの電圧をVOで表わす。また、降圧回路2はその降圧電圧 $V_{c3}$ が $V_{c3} + |V_{tp}| < VDD1 - |V_{tp}|$ で且つ $V_{c3} + V_{cc} + |V_{tp}| > VDD1 - |V_{tp}|$ となるように設計し、反転増幅回路INVはその反転電位レベルがMOST1、T2ともオンとなる出力電圧VOよりも高くなるように設定しているものとする。

【0032】ついで、入力電圧VIが $V_I = 0V$ でMOST1がオフのとき、入力段MOST4はオンし、そのときのノードbの電圧VBは、制御用MOST5がオフであれば、降圧回路2とMOST4を介して流れる電流により、 $VB < V_{c3} + |V_{tp}| < VDD1 - |V_{tp}|$ であるので、出力段トランジスタ回路3のMOST2はオンし、出力電圧VOはVDD1となる。このとき、逆に制御用MOST5がオンであれば、MOST5、降圧回路2、MOST4を介しVDD2とVSS間に流れる貫通電流により生ずる分圧でもって中間電位、すなわち $VB < VDD1 - |V_{tp}|$ となり、MOST2がオンするので、出力電圧VOは、VDD1となる。したがって、反転増幅回路INVの出力は0Vとなり、MOST5はオンからオフとなるので、最初流れていた貫通電流も遮断される。

【0033】一方、入力電圧VIが $V_{cc}$ でMOST1がオンのとき、ノードbの初期電圧VBが $VDD1 - |V_{tp}|$ 以下であれば、出力電圧VOはMOST2がオンで中間電圧となるが、その中間電圧は反転増幅回路INVの反転電圧以下であるため、INVの出力はVDD1である。このため、MOST5はオンし、VBは $VB \geq VDD2 - V_{tn}$ となる。したがって、あらかじめ $VDD2 - V_{tn} > VDD1 - |V_{tp}|$ となるように設計しておけば、MOST2はオフすることができる。

【0034】また、ノードbの初期電圧VBが $VDD1 - |V_{tp}|$ 以上であれば、MOST2がオフで出力電圧VOは0Vとなる。この結果、INVの出力はVDD1となり、MOST5がオンするので、このMOST5を介して流れ込む電流により、ノードbの電圧VBは、 $VB \geq VDD2 - V_{tn}$ となる。したがって、あらかじめ $VDD2 - V_{tn} > VDD1 - |V_{tp}|$ となるように設計しておけば、MOST2はオフする。このとき、 $VB > V_{c3} + V_{cc} + |V_{tp}|$ であれば、降圧回路2、MOST4を通して電流が流れVBは低下するが、前述したように、降圧回路2の降圧電圧 $V_{c3}$ の設計条件より、このVBが $VDD1 - |V_{tp}|$ 以下に下がることはないため、MOST2はオフで安定する。

【0035】要するに、入力電圧VIが0Vときは、MOST4がオンとなり、降圧回路2が活性化され、降圧回路を兼ねたMOST5はオフし、ノードbの電圧VBはMOST2がオンするための電圧 $VDD1 - |V_{tp}|$ 以下となり、また入力電圧VIが $V_{cc}$ のときは、MOST4がオフとなり、降圧回路2が不活性化され、降圧回路を兼ねたMOST5がオンし、ノードbの電圧VBはMOST2がオフするための電圧 $VDD1 - |V_{tp}|$ 以上となる。

【0036】上述した降圧回路2は、ノードbの電圧VBが安定状態において極めて高いインピーダンス状態になり、入力電圧VIが0Vから $V_{CC}$ 、または $V_{CC}$ から0Vに変化する過渡状態においては、ノードbの電圧VBがコンデンサCによるカップリング効果によって動作初期の入力ノードaおよびb間の電位差、すなわち $V_I \cdot VB$ 電位差を維持した状態で変化する。この入力電圧変化後は、前述した各入力電圧状態による出力安定化と同じ動作により、安定状態に収束するか、または安定状態を維持する。

【0037】なお、 $V_{tn} < |V_{tp}|$ となるように設計すれば、第2の高電圧電源VDD2を第1の高電圧電源VDD1と同じにしても同様の結果が得られる。

【0038】さらに、本実施の形態では、降圧回路2のダイオードD2、D3をゲートとドレインもしくはソースを接続したMOSTトランジスタに置換えてもよく、前述した一実施の形態同様に、各種の変形例を実現することができる。

【0039】

【発明の効果】以上説明したように、本発明のレベルシフト回路は、出力段トランジスタ回路におけるPMOST2のゲートと低電圧電源間、およびPMOST2のゲートと第2の高電圧電源間をそれぞれ降圧回路および入出力電圧で制御されるMOSTトランジスタを介して接続し、入力電圧のレベルによって前記降圧回路のどちらかを活性化することにより、入力ノードにコンデンサを介して接続されたPMOST2のゲートの電圧レベルを決定することができ、出力ノードがHiZ状態になっ

1 1

たり、あるいは貫通電流により中間電圧になるのを防止できるので、電源投入後に入力電圧が一度も変化しなくても、正しい出力電圧を得ることができるという効果がある。

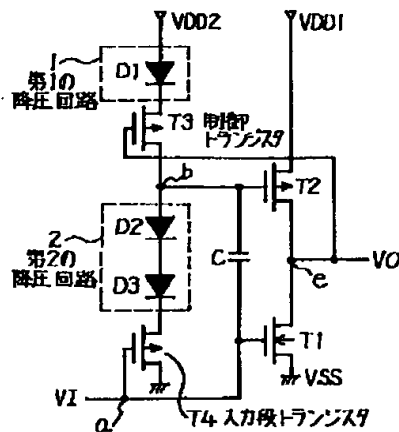
【0040】また、本発明のレベルシフト回路は、降圧回路および入出力電圧で制御されるMOSトランジスタを設けることにより、出力段トランジスタ回路のPMOS T2のゲートといずれかの電源間にリーク電流が流れても、第1または第2の降圧回路の働きにより、リークによる電位変化を無視することができるので、消費電流を増やさずに済み、特に低周波動作等の低電位レベル入力時においても正しい出力電位を保持できるという効果がある。

【図面の簡単な説明】

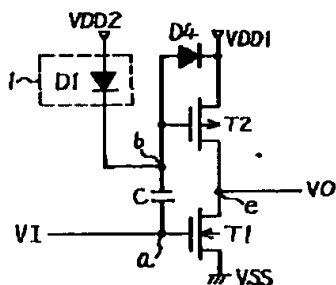
【図1】本発明の一実施の形態を示すレベルシフト回路図である。

【図2】図1における回路動作を説明するための入力状態による入力電圧およびゲート電圧特性図である。

【図1】



【図4】



1 2

【図3】本発明の他の実施の形態を示すレベルシフト回路図である。

【図4】従来の一例を示すレベルシフト回路図である。

【図5】図4における回路動作を説明するための入力状態による入力電圧およびゲート電圧特性図である。

【図6】従来の他の例を示すレベルシフト回路図である。

【符号の説明】

1, 2 降圧回路

T3, T5 制御用トランジスタ

T4 入力段トランジスタ

D1~D3 ダイオード

INV インバータ

C コンデンサ

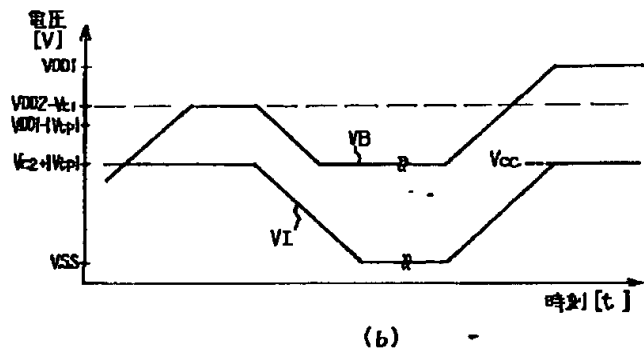
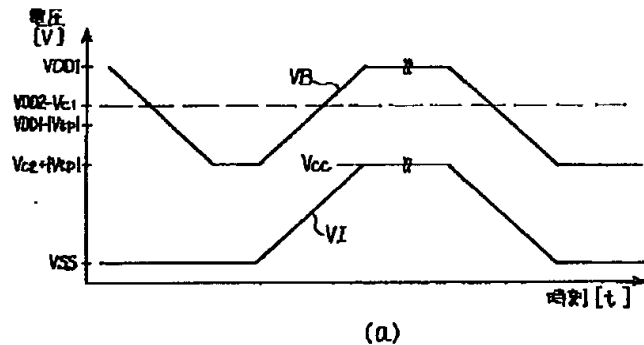
VDD1, VDD2 高電圧電源

VSS 低電圧電源

VI 入力電圧

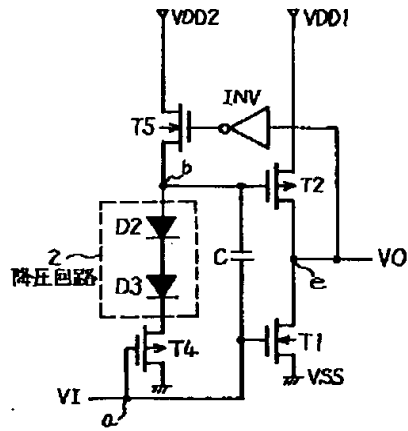
VO 出力電圧

【図2】

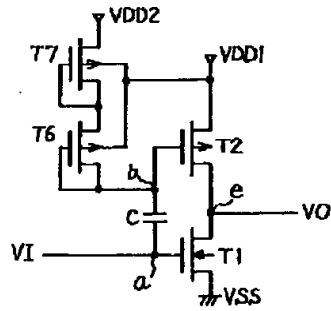




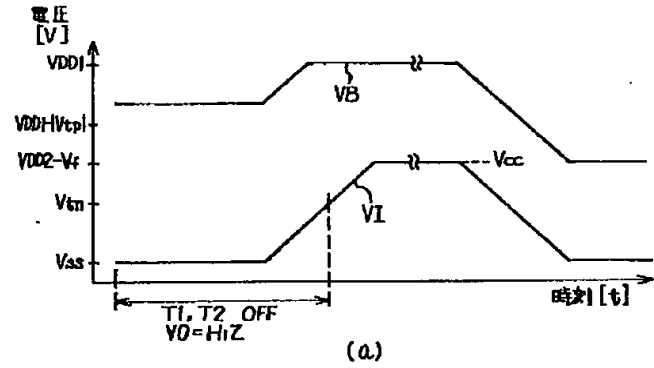
【図3】



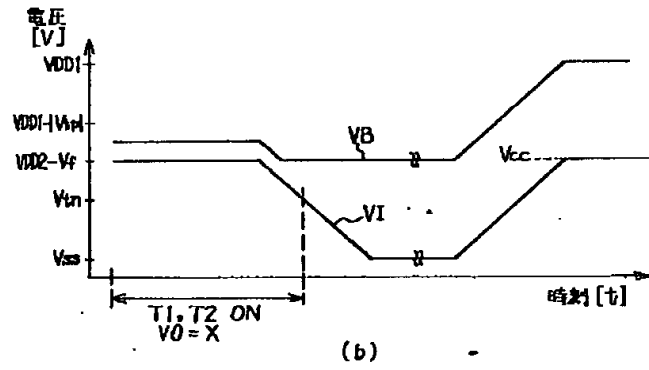
【図6】



【図5】



(a)



(b)